

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-240664

(43)Date of publication of application : 12.09.1995

(51)Int.Cl.

H03H 11/12

(21)Application number : 06-028674

(71)Applicant : FUJITSU LTD

(22)Date of filing : 28.02.1994

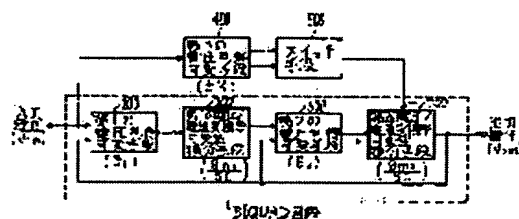
(72)Inventor : TSUYAMA ISAO

(54) ANALOG FILTER

(57)Abstract:

PURPOSE: To provide an analog filter with high versatile applicability which is capable of coping with various kinds of forms of analog signal processing, regarding an analog filter.

CONSTITUTION: This filter is composed of a first voltage gain variable means 200 inverting the phase of the output voltage V_{out} of a second variable voltage/current conversion ratio integration means, adding the voltage to input voltage V_{in} , amplifying the voltage by a variable voltage gain and outputting the voltage, a first variable voltage/current conversion ratio integration means 300 integrating and outputting the current into which the output voltage of the first variable voltage gain means is converted by a variable voltage/current conversion ratio after the conversion is performed, a second variable voltage gain means 600 inverting the phase of the output voltage V_{out} of the second variable voltage/current conversion ratio integration means, adding the voltage to the output of the first variable voltage/current conversion ratio integration means, amplifying the voltage by variable voltage gain and outputting the voltage and a second variable voltage/current conversion ratio integration means 700 integrating and outputting the current into which the output voltage of the second variable voltage gain means is converted by the variable voltage/current conversion ratio after the conversion is performed.



LEGAL STATUS

[Date of request for examination]

14.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3232856

[Date of registration]

21.09.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

21.09.2004

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-240664

(43)公開日 平成7年(1995)9月12日

(51)Int.Cl.⁶

H 0 3 H 11/12

識別記号

庁内整理番号

F I

技術表示箇所

A 8628-5 J

審査請求 未請求 請求項の数4 O L (全 11 頁)

(21)出願番号 特願平6-28674

(22)出願日 平成6年(1994)2月28日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 津山 功

栃木県小山市城東3丁目28番1号 富士通

ディジタル・テクノロジー株式会社内

(74)代理人 弁理士 井桁 貞一

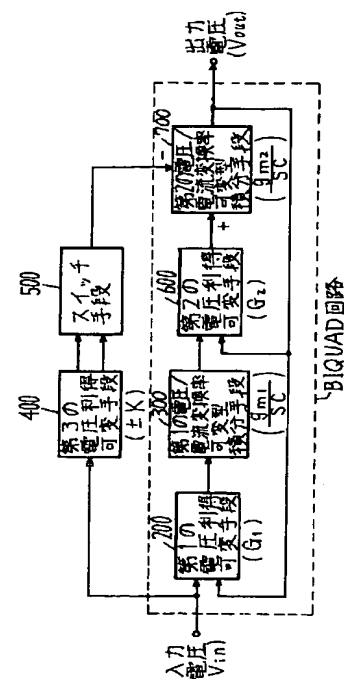
(54)【発明の名称】 アナログフィルタ

(57)【要約】

【目的】 アナログフィルタに関し、アナログ信号処理の様々な形態に対応できる、汎用性の高いアナログフィルタを提供することを目的とする。

【構成】 第2の電圧／電流変換率可変型積分手段の出力電圧 V_{out} の位相を反転させ入力電圧 V_{in} に加算し、可変可能な電圧利得により増幅して出力する第1の電圧利得可変手段200 と、可変可能な電圧／電流変換率により第1の電圧利得可変手段の出力電圧を電流に変換後、積分して出力する第1の電圧／電流変換率可変型積分手段300 と、第2の電圧／電流変換率可変型積分手段の出力電圧 V_{out} の位相を反転させ、第1の電圧／電流変換率可変型積分手段の出力と加算し、可変可能な電圧利得により増幅して出力する第2の電圧利得可変手段600 と、可変可能な電圧／電流変換率により該第2の電圧利得可変手段の出力電圧を電流に変換後、積分して出力する第2の電圧／電流変換率可変型積分手段700 とで構成する。

本発明の原理図



【特許請求の範囲】

【請求項 1】 B I Q U A D (バイカッド) 回路を使用するアナログフィルタであって、

該 B I Q U A D 回路は、

後述する第 2 の電圧／電流変換率可変型積分手段の出力からフィードバックされた電圧 (V_{out}) の位相を反転させ入力電圧 (V_{in}) に加算し、加算値を可変可能な電圧利得により増幅して出力する第 1 の電圧利得可変手段(200) と、

可変可能な電圧／電流変換率により該第 1 の電圧利得可変手段の出力電圧を電流に変換後、積分して出力する第 1 の電圧／電流変換率可変型積分手段(300) と、

該第 2 の電圧／電流変換率可変型積分手段の出力からフィードバックされた電圧 (V_{out}) の位相を反転させ、該第 1 の電圧／電流変換率可変型積分手段の出力と加算し、加算値を可変可能な電圧利得により増幅して出力する第 2 の電圧利得可変手段(600) と、
可変可能な電圧／電流変換率により該第 2 の電圧利得可変手段の出力電圧を電流に変換後、積分して出力する第 2 の電圧／電流変換率可変型積分手段(700) とからなることを特徴とするアナログフィルタ。

【請求項 2】 前記第 1 の電圧／電流変換率可変型積分手段および第 2 の電圧／電流変換率可変型積分手段は、それぞれコンデンサと抵抗と演算増幅器とからなる積分手段であることを特徴とする請求項 1 記載のアナログフィルタ。

【請求項 3】 請求項 1 記載のアナログフィルタにおいて、

前記第 1 の電圧利得可変手段への入力電圧を分岐して入力し、可変可能な電圧利得 (K) により増幅して正および負の信号を出力する第 3 の電圧利得可変手段(400) と、外部からの切替え信号により該第 3 の電圧利得可変手段の出力のうち一方を選択出力するスイッチ手段(500) とを設け、

該スイッチ手段により選択された該第 3 の電圧利得可変手段の出力を前記第 2 の電圧／電流変換率可変型積分手段の出力に加算する構成としたことを特徴とする請求項 1 記載のアナログフィルタ。

【請求項 4】 前記請求項 1 に記載の B I Q U A D 回路と前記請求項 3 に記載の第 3 の電圧利得可変手段、及びスイッチ手段とで構成されるアナログフィルタを 2 個並列にして差動動作させる構成としたことを特徴とするアナログフィルタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は波形等化などの信号処理に必須であるところのアナログフィルタに関するものである。通信、情報機器いずれの分野においても、処理すべき信号の速度は増加の一途をたどり、まだまだデジタル処理では対応しきれないところがある。そこで、ア

ナログにおいていかにうまく信号処理を行うことができるかが、装置性能の決め手になっていると言っても過言ではない。本発明は、アナログ信号処理の様々な形態に対応できる、汎用性の高いアナログフィルタを提供するものである。

【0002】

【従来の技術】 従来のアナログフィルタは、ディスクリート部品によるパッシブフィルタか、もしくは CMOS 技術を応用したスイッチドキャパシタ (SC) フィルタが主流であった。前者は高速化には適するが、コイル等を有するため実装空間を要し、高価であるとともに可変調整には不可能に近いものがある。後者は IC 化が可能であり広く用いられているが、一般に処理速度が遅く、また高速なサンプリングクロックを必要とするため、(雑音の防止のため) 他のアナログ回路との分離技術に一考を要する。

【0003】 また、図 12 に示すように、損失をもつ積分器 17、逆相積分器 18、逆相増幅器 19 により構成され、双 2 次伝達関数を実現した B I Q U A D (バイカッド) 回路がある。特に電圧／電流変換手段を用いた B I Q U A D 回路は、スイッチドキャパシタを用いた B I Q U A D 回路よりもはるかに高速であり、磁気記録の分野で広く用いられているが、あくまで特定用途向けである。

【0004】

【発明が解決しようとする課題】 前述したように従来の B I Q U A D 回路によるアナログフィルタはあくまで特定用途向けであった。

【0005】 したがって本発明は、アナログ信号処理の様々な形態に対応できる、汎用性の高いアナログフィルタを提供することを目的とする。

【0006】

【課題を解決するための手段】 上記問題点は図 1 に示す回路の構成によって解決される。即ち図 1 において、

(請求項 1) B I Q U A D (バイカッド) 回路を使用するアナログフィルタであって、該 B I Q U A D 回路を、後述する第 2 の電圧／電流変換率可変型積分手段の出力からフィードバックされた電圧 V_{out} の位相を反転させ入力電圧 V_{in} に加算し、加算値を可変可能な電圧利得により増幅して出力する第 1 の電圧利得可変手段 200 と、可変可能な電圧／電流変換率により該第 1 の電圧利得可変手段の出力電圧を電流に変換後、積分して出力する第 1 の電圧／電流変換率可変型積分手段 300 と、該第 2 の電圧／電流変換率可変型積分手段の出力からフィードバックされた電圧 V_{out} の位相を反転させ、該第 1 の電圧／電流変換率可変型積分手段の出力と加算し、加算値を可変可能な電圧利得により増幅して出力する第 2 の電圧利得可変手段 600 と、可変可能な電圧／電流変換率により該第 2 の電圧利得可変手段の出力電圧を電流に変換後、積分して出力する第 2 の電圧／電流変換率可変型積分手段 700 とで構成する。

【0007】（請求項2） 前記第1の電圧／電流変換率可変型積分手段および第2の電圧／電流変換率可変型積分手段を、それぞれコンデンサと抵抗と演算増幅器とからなる積分手段で置き換えた構成とする。

【0008】（請求項3） 請求項1記載のアナログフィルタにおいて、前記第1の電圧利得可変手段への入力電圧を分岐して入力し、可変可能な電圧利得Kにより増幅して正および負の信号を出力する第3の電圧利得可変手段400と、外部からの切替え信号により該第3の電圧利得可変手段の出力のうち一方を選択出力するスイッチ手段500 とを設け、該スイッチ手段により選択された該第3の電圧利得可変手段の出力を前記第2の電圧／電流変換率可変型積分手段の出力に加算する構成とする。

【0009】（請求項4） 前記請求項1に記載のBI＊

$$V_{out} \pm K V_{in}$$

$$= \frac{g_{m2}}{SC} G_2 \left\{ \frac{g_{m1}}{SC} G_1 (V_{in} - V_{out}) - V_{out} \right\}$$

【0012】となり、 V_{in} 、 V_{out} でそれぞれまとめる 20※【0013】
 と、

$$\begin{aligned} & \left(1 + \frac{g_{m2}}{SC} G_2 + \frac{g_{m1}}{SC} G_1 \cdot \frac{g_{m2}}{SC} G_2 \right) V_{out} \\ & = \left(\frac{g_{m1}}{SC} G_1 \cdot \frac{g_{m2}}{SC} G_2 \pm K \right) V_{in} \end{aligned}$$

【0014】となる。したがって伝達関数T(S)は、 ★【数3】
 【0015】 ★

$$\begin{aligned} T(S) &= \frac{V_{out}}{V_{in}} \\ &= \frac{\frac{g_{m1} g_{m2}}{C^2} G_1 G_2 \pm K \cdot S^2}{S^2 + \frac{g_{m2}}{C} G_2 S + \frac{g_{m1} g_{m2}}{C^2} G_1 G_2} \end{aligned}$$

【0016】と求められる。ここで、 $S = j\omega$ 、 $\omega = 2\pi f$ 、 f は周波数である。上式の分子多項式のKが+のとき、帯域阻止型、-のとき高域強調型、また $K=0$ のとき低域通過型となり、それぞれスイッチ手段の切り替え状態によって決められる。この結果、アナログ信号処理の様々な形態に対応することができる。

【0017】さらに、第1および第2の電圧／電流変換率可変型積分手段と第1、第2および第3の電圧利得可変手段を用い、電圧／電流変換率および電圧利得を任意に変換することにより、フィルタの伝達関数を自由に作りだすことができ、これまで以上に広い調整範囲を確保することが可能となる。

＊QUAD回路と前記請求項3に記載の第3の電圧利得可変手段、及びスイッチ手段とで構成されるアナログフィルタを2個並列にして差動動作させるように構成する。

【0010】

【作用】図1において、第1の電圧利得可変手段への入力電圧を V_{in} 、第1、第2、及び第3の電圧利得可変手段の利得をそれぞれ G_1 、 G_2 、 K 、第1及び第2の電圧／電流変換率可変型積分手段の変換率をそれぞれ g_{m1} 、 g_{m2} 、第1及び第2の電圧／電流変換率可変型積分手段の積分用の容量を C 、第2の電圧／電流変換率可変型積分手段の出力電圧を V_{out} とすると、第2の電圧／電流変換率可変型積分手段の出力は、

【0011】

【数1】

★【数3】

【0018】

【実施例】図2は本発明の実施例のBIQUAD回路の構成図である。同図において、2-1、2-2、4-1、4-2、6-1、6-2は電圧増幅器、3-1、3-2、7-1、7-2は電圧／電流変換器、1、8はバッファ、5-1、5-2はスイッチであり、電圧増幅器2-1、6-1と電圧／電流変換器3-1、7-1及びコンデンサCで構成される回路で一つのBIQUAD回路9を構成し、電圧増幅器2-2、6-2と電圧／電流変換器3-2、7-2及びコンデンサCで構成される回路でもう一つのBIQUAD回路10を構成している。そして、これら2個のBIQUAD回路9、10が差動で動作する構成になっている。

【0019】まず上記BIQUAD回路の伝達関数を求める。電圧増幅器2-1の+入力電圧を V_{in} 、電圧/電流変換器7-1の出力電圧を V_{out} 、電圧増幅器2-1の利得を G_a 、電圧/電流変換器3-1のコンダクタンスを g

* m_b 、電圧増幅器6-1の利得を G_b 、電圧/電流変換器7-1のコンダクタンスを $g m_b$ とすると、

【0020】

【数4】

$$V_{out} \pm K V_{in}$$

$$= \frac{g m_b}{S C} G_b \cdot \left\{ \frac{g m_a}{S C} G_a \cdot (V_{in} - V_{out}) - V_o \right\} \quad (1)$$

【0021】となる。 V_{in} 、 V_{out} でそれぞれまとめる
と、

※【0022】

【数5】

$$\begin{aligned} & \left(1 + \frac{g m_b}{S C} G_b + \frac{g m_a}{S C} G_a \cdot \frac{g m_b}{S C} G_b \right) V_{out} \\ & = \left(\frac{g m_a}{S C} G_a \cdot \frac{g m_b}{S C} G_b \pm K \right) V_{in} \end{aligned} \quad (2)$$

【0023】したがって伝達関数 $T(S)$ は(2)式か
ら

★【0024】

★【数6】

$$\begin{aligned} T(S) &= \frac{V_{out}}{V_{in}} \\ &= \frac{\frac{g m_a g m_b}{C^2} G_a G_b \pm K \cdot S^2}{S^2 + \frac{g m_b}{C} G_b S + \frac{g m_a g m_b}{C^2} G_a G_b} \end{aligned} \quad (3)$$

【0025】と求められる。ここで、 $S = j\omega$ であり、 $\omega = 2\pi f$ 、 f は周波数である。(3)式より、アクティブフィルタのパラメータ ω_0 (共振角周波数) および Q (選択度) はそれぞれ次式で与えられる。

☆ Q (選択度) はそれぞれ次式で与えられる。

【0026】

【数7】

$$\omega_0 = \frac{(g m_a g m_b G_a G_b)^{1/2}}{C} \quad (4)$$

$$Q = \left[\frac{g m_a G_a}{g m_b G_b} \right]^{1/2} \quad (5)$$

【0027】(3)式において、分子多項式の K の符号が+のとき帯域阻止型、-のとき高域強調型、また $K=0$ のとき低域通過型となり、それぞれスイッチ5-1、5-2の切り替え状態によって決められる。帯域阻止型および高域強調型の場合の $T(j\omega)$ の周波数特性をそれぞれ図3の(a)および(b)に示す。同図において、 ω_0 、 ω_b は共振角周波数、 Q_b は高域強調型の場合の選択度を表す。

【0028】まず、必要な Q 値を得るために、 gm の比、 G の比を決め、しかる後 ω_0 の絶対値を合わせるにより、伝達関数を任意に操作できる。尚、BIQUAD回路には図4に示す(1)及び(2)の2つのタイプが考えられるが、ここで各タイプの S/N (信号/雑音比) について検討する。各タイプの回路において、通過帯域内においてコンデンサの値を無視できると仮定すると、電圧/電流変換器は高利得 A の電圧増幅器であると考え

ることができ、BIQUAD回路の各タイプはそれぞれ
図5に示すモデルで表すことができる。

* 仮定した場合の、出力Vout におけるS/Nを求める。

【0030】

【0029】図5において、タイプ(1) について、各電
圧/電流変換器の入力部に雑音 n_a 、 n_b が混入したと *

【数8】

$$V_a = V_{in} - V_{out} - A \cdot V_a + n_a \quad \text{————— (6)}$$

$$V_b = A \cdot V_a + n_b \quad \text{————— (7)}$$

$$V_{out} = A \cdot V_b \quad \text{————— (8)}$$

【0031】となり、 V_a 、 V_b を消去してVout につ 10※ 【0032】
いてまとめると、 ※ 【数9】

$$\begin{aligned} V_{out} &= \frac{A^2}{1+A+A^2} (V_{in} + n_a) + \frac{A(1+A)}{1+A+A^2} n_b \\ &= \frac{V_{in} + n_a}{\frac{1}{A^2} + \frac{1}{A} + 1} + \frac{n_b}{\frac{1}{A+A^2} + 1} \end{aligned} \quad \text{————— (9)}$$

【0033】となる。 $A \geq 1$ であるから、Vout は次式
のようになる。

★ 【0034】

★ 【数10】

$$V_{out} = V_{in} + n_a + n_b \quad \text{————— (10)}$$

【0035】したがってタイプ(1)の、出力におけるS
/Nは次式のようにになる。

☆ 【0036】

☆ 【数11】

$$\left\{ \frac{S}{N} \right\}_A = \frac{V_{in}}{n_a + n_b} \quad \text{————— (11)}$$

【0037】タイプ(2)のBIQUAD回路についても
同様にして求めることができ、以下の式が成り立つ。

◆ 【0038】

◆ 【数12】

$$V_a = V_{in} - V_{out} + n_a \quad \text{————— (12)}$$

$$V_b = A \cdot V_a - V_{out} + n_b \quad \text{————— (13)}$$

$$V_{out} = A \cdot V_b \quad \text{————— (14)}$$

【0039】となり、 V_a 、 V_b を消去してVout につ * 【0040】
いてまとめると、 *40 【数13】

$$\begin{aligned} V_{out} &= \frac{A^2}{1+A+A^2} (V_{in} + n_a) + \frac{A}{1+A+A^2} n_b \\ &= \frac{V_{in} + n_a}{\frac{1}{A^2} + \frac{1}{A} + 1} + \frac{n_b}{\frac{1}{A} + 1 + A} \end{aligned} \quad \text{————— (15)}$$

【0041】となる。 $A \geq 1$ であるから、 V_{out} は次式
のようになる。

$$V_{out} = V_{in} + n_a + \frac{n_b}{A} \quad (16)$$

【0043】したがってタイプ(2)の、出力における S/N は次式のようになる。

$$\left\{ \frac{S}{N} \right\}_B = \frac{V_{in}}{n_a + \frac{n_b}{A}} \quad (17)$$

【0045】(11) 式と (17) 式とを比較して分かるように、タイプ(2)の方は後段の入力に混入されたノイズ成分 n_b が、電圧／電流変換器の電圧利得分だけ抑圧されている。このことから B I Q U A D 回路の雑音特性については、タイプ(1)よりもタイプ(2)の方が優れていると言える。前述した図2に示す本発明の実施例では以上の結果を使用した。

【0046】図6は図2の電圧／電流変換器3-1(3-2)、7-1(7-2)の代わりにそれぞれ演算増幅器11、12を用いた場合の B I Q U A D 回路の実施例の構成図である。この場合、可変パラメータは電圧増幅器2、6の利得

(G_a 、 G_b) だけとなり、回路も $T(S)$ の分子の S の部分が0の全極型となって、速度も演算増幅器を使用しているため図2の場合に比べて劣るが、例えば抵抗 R を CMOS を使用したスイッチトキャパシタに置き換えれば、図2における g_{m_a} 、 g_{m_b} を可変するのと同様の効果が期待できる。

$$G_1 = \frac{r_{ref}}{R_E} \quad (18)$$

【0051】後段の回路15の差動増幅器の利得 G_2 は、エミッタ結合トランジスタの内部抵抗を r_{var} とすると、

$$G_2 = \frac{R_C}{r_{var}} \quad (19)$$

【0053】となる。(18)、(19) 式から全体の利得 G 、即ち $|K|$ は

$$\begin{aligned} G = |K| &= G_1 \cdot G_2 \\ &= \frac{r_{ref}}{R_E} \cdot \frac{R_C}{r_{var}} = \frac{R_C}{R_E} \cdot \frac{kT/q I_{Kref}}{kT/q I_{Kvar}} \\ &= \frac{R_C}{R_E} \cdot \frac{I_{Kvar}}{I_{Kref}} \end{aligned} \quad (20)$$

【0055】となる。ここに、 k はボルツマン定数、 T は絶対温度、 q は電子の電荷、 I_{Kref} は基準電流、 I

※ 【0042】
※ 【数14】

※ 【0044】
※ 【数15】

★ 【0047】図7は本発明の実施例のアナログフィルタ全体の回路構成図である。同図に示すように、図2に示す B I Q U A D 回路を複数個縦続に接続することによりフィルタのカットオフ特性を急峻なものとしてでき、用途に応じて任意に個数を選択できる。また、使用しない B I Q U A D 回路は電源供給をオフさせることにより、省エネ化を図ることもできる。

【0048】図8は実施例における K 値設定回路の構成図である。 K 値設定回路は、 K の基準値を決めるためのアナログの差動増幅器14と、 K の可変部分を決める2個の差動増幅器からなる回路15と、該2個の差動増幅器のいずれかを選択するためのスイッチ回路16とで構成される。

【0049】前段の差動増幅器14の電圧利得 G_1 は、負荷としてのダイオード D の内部抵抗を r_{ref} とすると

【0050】
★ 【数16】

☆ 【0052】
【数17】

☆

◆ 【0054】
◆40 【数18】

I_{Kvar} は可変電流である。 K の符号は SW の切り換えにより選択できる。

【0056】図9は実施例における電圧利得可変回路の構成図である。図9の回路構成は基本的には前述した図8の回路構成と同じであるが、図9には図8のスイッチ回路16が存在しない。前述したと同様にして図9の回路*

*の利得Gは次式で与えられる。

【0057】

【数19】

$$G = \frac{R_c}{R_E} \cdot \frac{I_{Gvar}}{I_{Gref}} \quad (21)$$

【0058】ここに、 I_{Gref} は基準電流、 I_{Gvar} は可変電流である。図10、図11は実施例における可変電圧／電流変換回路の構成図である。図10はバイポーラトランジスタの場合を示すが、同図の回路構成も前述した図9の回路構成と基本的に同じであり、電圧／電流変換回路の※

※コンダクタンス g_m は、 I_{REF} 端子に流れる電流を $2 I_{ref}$ 、 I_{VAR} 端子に流れる電流を $3 I_{ivar}$ とすると、

【0059】

【数20】

$$g_m = \frac{1}{R_E} \cdot \frac{I_{ivar}}{I_{iref}} \quad (22)$$

【0060】と求められる。以上のようにして(3)式の伝達関数を自由に操作できる。また、図11はCMOSトランジスタの場合を示すが、制御電流端子が1個であり、制御電流 $I_{VAR(B)}$ に対して g_m がリニアに可変できない。しかし、本発明のように、利得可変の電圧増幅器との併用によって、この g_m の非線形性を補うことができる。($I_{VAR(B)}$ を固定し、可変パラメータをGのみとする。)

【0061】

【発明の効果】以上説明したように本発明によれば、第3の電圧利得可変手段の出力をスイッチ手段により切り替えることによって、アナログ信号処理の様々な形態に対応することができる。また、第1および第2の電圧／電流変換率可変型積分手段と、第1、第2および第3の電圧利得可変手段を用い、電圧／電流変換率および電圧利得を任意に可変することにより、フィルタの伝達関数を自由に作りだすことができ、これまで以上に広い調整範囲を確保することが可能となる。同時に、コンデンサの容量値の相対的なバラツキなども、上記手段によって補正できる。

【図面の簡単な説明】

【図1】は本発明の原理図、

【図2】は本発明の実施例のBIQUAD回路の構成図、

【図3】は実施例における $T(j\omega)$ の周波数特性図、
【図4】は一例のBIQUAD回路の2つのタイプを示す図、

【図5】は図4のBIQUAD回路の各タイプの通過域モデルを示す図、

【図6】は本発明の別の実施例のBIQUAD回路の構成図、

【図7】は本発明の実施例のアナログフィルタ全体の回路構成図、

【図8】は実施例におけるK値設定回路の構成図、

【図9】は実施例における電圧利得可変回路の構成図、

【図10】は実施例における可変電圧／電流変換回路の構成図(その1)、

【図11】は実施例における可変電圧／電流変換器回路の構成図(その2)、

【図12】は従来例のBIQUAD回路の構成図である。

【符号の説明】

200 は第1の電圧利得可変手段、

300 は第1の電圧／電流変換率可変型積分手段、

400 は第3の電圧利得可変手段、

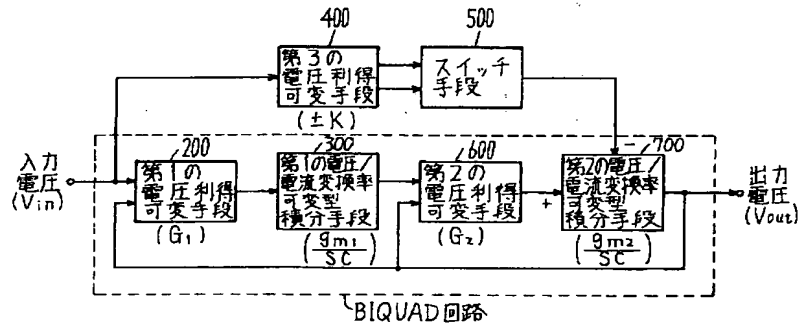
500 はスイッチ手段、

600 は第2の電圧利得可変手段、

700 は第2の電圧／電流変換率可変型積分手段を示す。

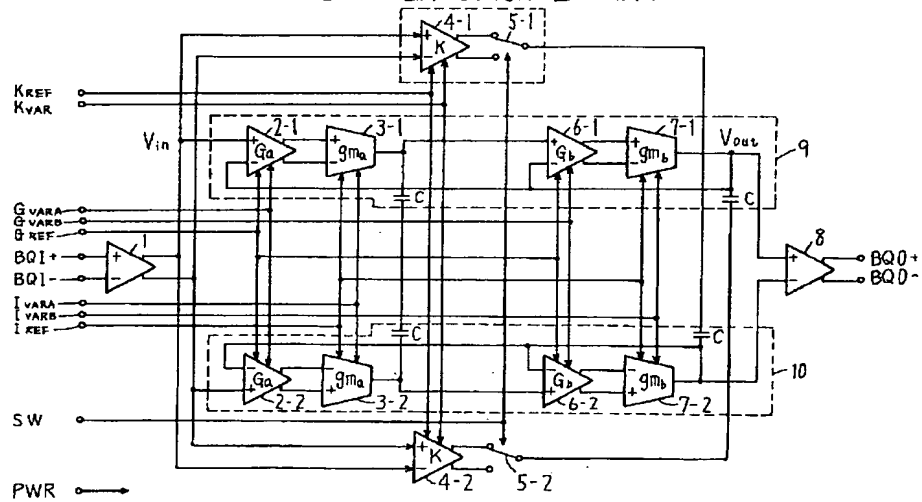
【図 1】

本発明の原理図



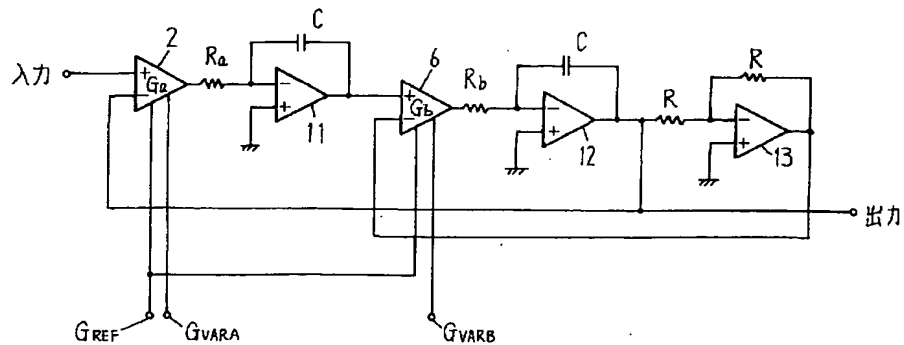
【図 2】

本発明の実施例のBIQUAD回路の構成図



【図 6】

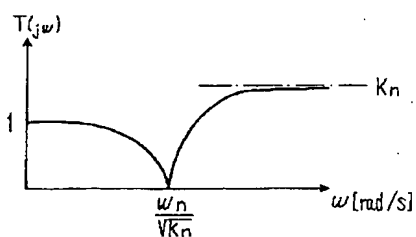
本発明の別の実施例のBIQUAD回路の構成図



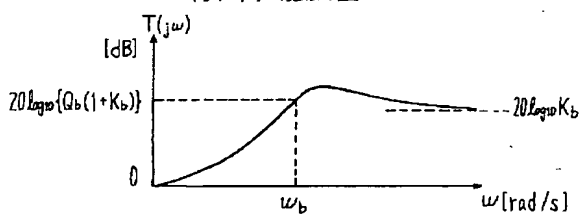
【図3】

実施例における $T(j\omega)$ の周波数特性図

(a) 帯域阻止型



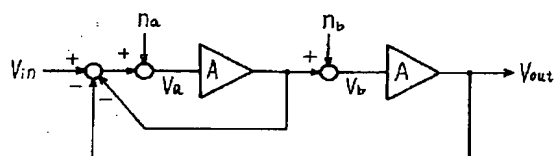
(b) 高域強調型



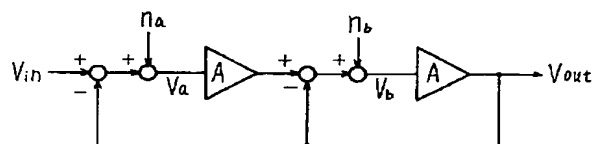
【図5】

図4のBIQUAD回路の各タイプの通過域モデルを示す図

タイプ(1)の通過域モデル



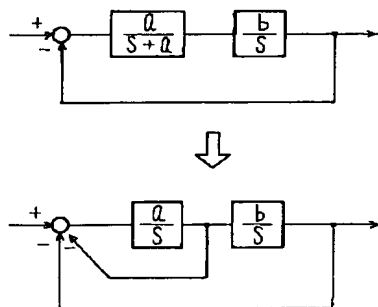
タイプ(2)の通過域モデル



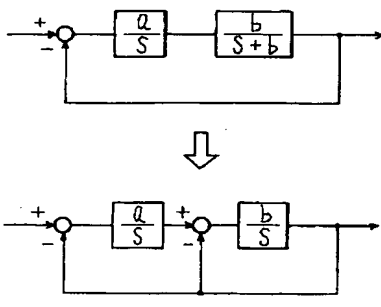
【図4】

一例のBIQUAD回路の2つのタイプを示す図

タイプ(1)

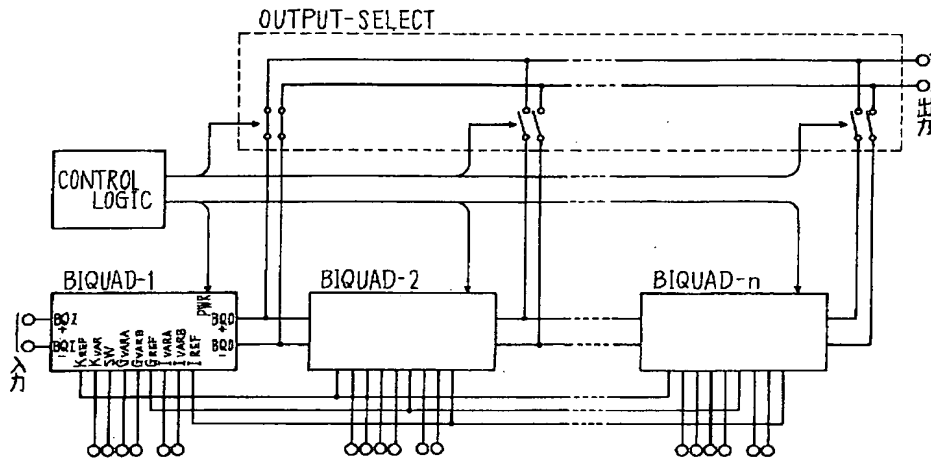


タイプ(2)



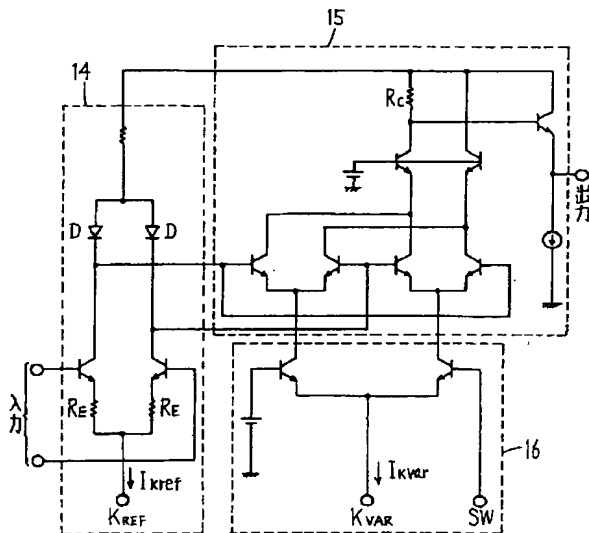
【図 7】

本発明の実施例のアナログフィルタ全体の回路構成図



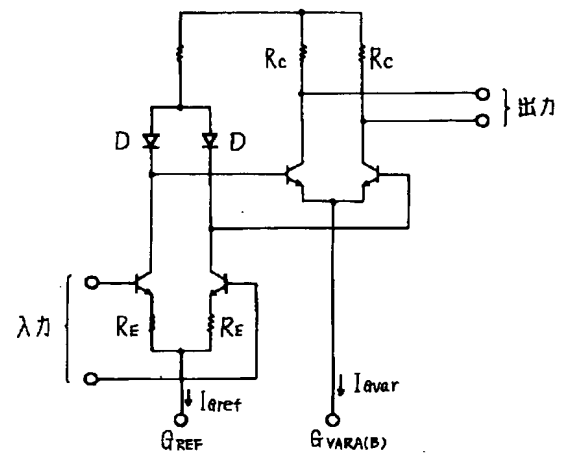
【図 8】

実施例における K 値設定回路の構成図



【図 9】

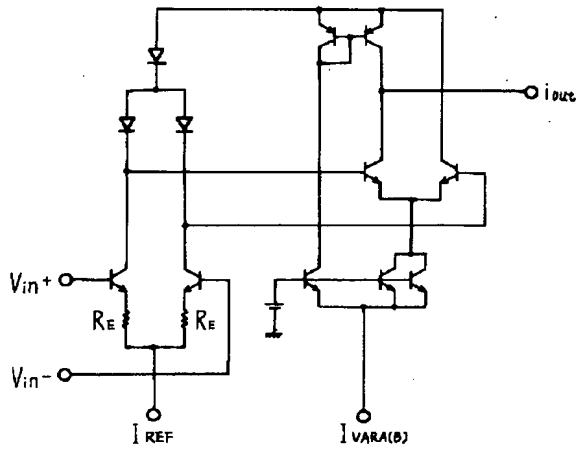
実施例における電圧利得可変回路の構成図



【図10】

実施例における可変電圧／電流変換回路の構成図 (その1)

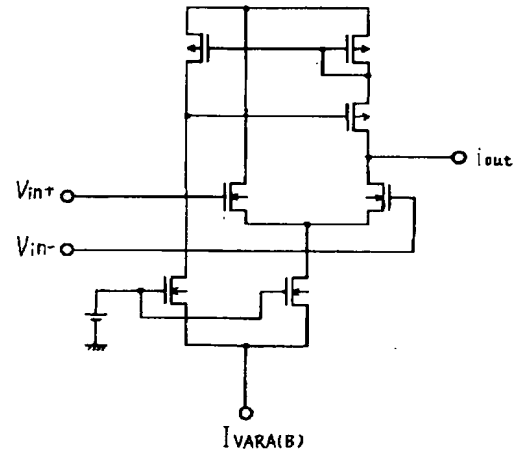
(a) バイポーラトランジスタの場合



【図11】

実施例における可変電圧／電流変換回路の構成図 (その2)

(b) C-MOSTの場合



【図12】

従来例のBIQUAD回路の構成図

